



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000315173 A**(43) Date of publication of application: **14.11.00**

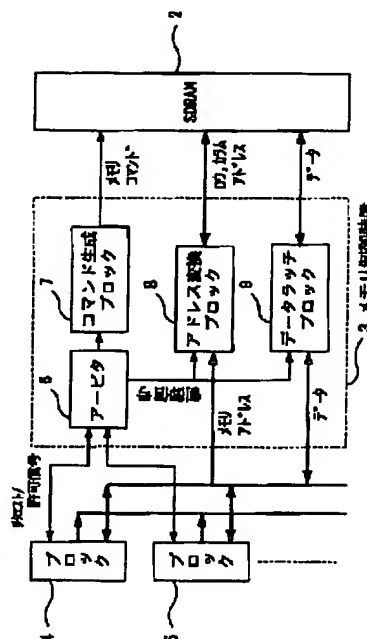
(51) Int. Cl. **G06F 12/06**
G06F 12/02
G11C 11/407
G11C 11/401

(21) Application number: **11123294**(22) Date of filing: **30.04.99**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **KONDO DAISUKE
AOKI TORU****(54) MEMORY CONTROL DEVICE****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a memory control device that processing time is improved by preventing the same bank in an SDRAM from being continuously accessed.

SOLUTION: Relating to the memory control device 3 for controlling the SDRAM 2 having two banks 0, 1 and capable of executing continuous accesses by a bank division mode for alternately and continuously inputting the addresses of respective banks 0, 1 by individually precharging the banks 0, 1, memory addresses obtained from respective blocks 4, 5 for accessing the SDRAM 2 through the device 3 are address-converted so that these address are alternately inputted to respective banks 0, 1 of the SDRAM 2.

COPYRIGHT: (C)2000,JPO





THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-315173

(P2000-315173A)

(43) 公開日 平成12年11月14日(2000. 11. 14)

(51) Int.Cl.	識別記号	F I	テ-マ-ト* (参考)	
G 0 6 F 12/06	5 2 3	G 0 6 F 12/06	5 2 3 C	5 B 0 2 4
	5 9 0	12/02	5 9 0 B	5 B 0 6 0
G 1 1 C 11/407		G 1 1 C 11/34	3 6 2 S	
11/401			3 6 2 H	

審査請求 有 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平11-123294

(22) 出願日 平成11年4月30日(1999. 4. 30)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 近藤 大輔

香川県高松市古新町8番地の1 松下電
子工業株式会社内

(72) 発明者 青木 透

香川県高松市古新町8番地の1 松下電
子工業株式会社内

(74) 代理人 100068087

弁理士 森本 義弘

Fターム(参考) 5B024 AA15 BA29 CA16

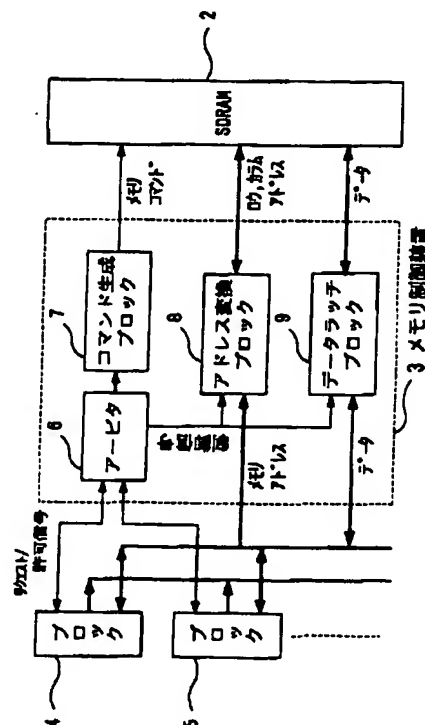
5B060 AB19 AB25 CA03 CA11

(54) 【発明の名称】 メモリ制御装置

(57) 【要約】

【課題】 SDRAMの同一のバンクに連続してアクセスすることを防止し処理時間を向上させたメモリ制御装置を提供することを目的とする。

【解決手段】 本発明のメモリ制御装置3は、2個のバンク0、1を有しそれぞれ個別にプリチャージを実行することで各バンク0、1のアドレス入力を交互に隙間なく連続させるバンク分割モードによる連続アクセスが可能なSDRAM2を制御するメモリ制御装置であって、メモリ制御装置3を介してSDRAM2にアクセスするブロック4、5からのメモリアドレスを、SDRAM2の各バンクに交互にアドレスが入力されるようにアドレス変換するよう構成したものである。



【特許請求の範囲】

【請求項1】複数のバンクを有しそれぞれ個別にプリチャージを実行することで各バンクのアドレス入力を交互に隙間なく連続させるバンク分割モードによる連続アクセスが可能なシンクロナスタイナミックランダムアクセスメモリ（以下、SDRAMと略す。）を制御するメモリ制御装置において、

前記メモリ制御装置を介して前記SDRAMにアクセスするブロックからのメモリアドレスを、前記SDRAMの各バンクに交互にアドレスが入力されるようにアドレス変換するよう構成したメモリ制御装置。

【請求項2】内部が少なくとも2個のバンクに分割されてそれぞれ個別にプリチャージを実行することにより各バンクのアドレス入力を交互に隙間なく連続させることを可能としたバンク分割モードによる連続アクセスとランダムアクセスモードとの切り替えを可能としたシンクロナスタイナミックランダムアクセスメモリ（以下、SDRAMと略す。）を制御するメモリ制御装置において、

前記メモリ制御装置を介して前記SDRAMにアクセスする複数のブロックからのメモリアクセス要求の調停を行うアービタと、

前記SDRAMへのメモリコマンドを生成するコマンド生成ブロックと、

前記アービタによってアクセス権が与えられたブロックからのメモリアドレスを、前記SDRAMの各バンクに交互にアドレスが入力されるようなロウ、カラムアドレスにアドレス変換して前記SDRAMに出力するアドレス変換ブロックと、

前記アービタによってアクセス権が与えられたブロックからの書き込みデータまたは前記SDRAMからの読み出しデータを一旦ラッチしてアクセス権が与えられたブロックと前記SDRAM間のデータの受け渡しを行うデータラッチブロックとを設け、

前記SDRAMの各バンクが交互になるように各ブロックからのメモリアクセス単位を異なるバンクのペアとして前記SDRAMを制御することを特徴とするメモリ制御装置。

【請求項3】コマンド生成ブロックを、アクセス権が与えられたブロックからのメモリアクセスが異なるバンクのペアでない場合には、前記ブロックからのメモリアクセスの過不足分のアクセスデータをSDRAMにおいて不許可とするマスク信号を生成出力するよう構成した請求項2記載のメモリ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シンクロナスタイナミックランダムアクセスメモリ（以下、SDRAMと略す。）を制御するメモリ制御装置に関するものである。

【0002】

【従来の技術】近年、パソコンで頻繁に使われるキャッシュメモリのバースト転送をクロックに同期して高速に行えるようにしたSDRAMが使用されつつある。このSDRAMは、バンク分割モードによる連続アクセスモードとランダムアクセスモードとの切り替えが可能であり、このバンク分割モードでは、2つのメモリ領域としてメモリアドレスのMSB（最上位ビット）が「0」であるバンク0とメモリアドレスのMSBが「1」であるバンク1とを持ち、このバンク0とバンク1とをクロック制御により交互にアクセスして、一方のバンクのデータを読み出しを行っている間に他方のバンクのアドレスの取り込みを行うことが可能となっている。

【0003】このSDRAMを制御するメモリ制御装置としては、例えば、特開平8-111090号公報や特開平8-212170号公報に記載されたものが一般に知られている。この特開平8-212170号公報に記載のSDRAMを制御するメモリ制御装置11は、図8に示すように、メモリ制御手段12と調停・Wait信号発生手段13とで構成されており、複数のブロック14～17のSDRAM2へのアクセスを制御している。

【0004】複数のブロック14～17から、それぞれメモリアドレス信号（MADD）とデータ信号（DATA）と読み出し／書き込み制御信号（RD/WR）とが、それぞれのブロックに対応するメモリ制御部18a～18dに入力される。各ブロック14～17からのメモリアクセス要求信号（CS）が調停・Wait信号発生手段13に入力され、この調停・Wait信号発生手段13から各ブロック14～17に待ち信号（Wait）が返信される。

【0005】調停・Wait信号発生手段13からメモリアクセス許可信号（Enable）を受けたブロックに対応するメモリ制御部は、許可されたブロックのSDRAM2へのアクセスを制御する。このメモリ制御装置11を用いたSDRAM2の読み出しアクセスタイミングの一例を説明する。なおここでは、このSDRAM2をバンク分割モードとしている。

【0006】ブロックからのメモリアドレスのMSBが「0」であればバンク0を、このMSBが「1」であればバンク1を選択する。図9に示すように、クロックCKに従って、バンク0のロウアドレスR0、カラムアドレスC0と、バンク1のロウアドレスR1、カラムアドレスC1とが交互にSDRAMに取り込まれる。バンク0のデータD00、D01は、バンク1のロウアドレスR1、カラムアドレスC1が入力されるクロックタイミングで出力される。D01はD00に続くアドレスのデータであり、一つのアドレス入力で2ワードのデータが出力できることを意味している。1ワード分のみ必要な場合は、D01は不要である。

【0007】各バンクのプリチャージは、最終データ、すなわち2ワード出力のときはデータD01の出力タイ

ミングで自動的に実行される。バンク1に関しても同様である。このようにSDRAMのバンク0とバンク1へのアクセスを交互に行うことによって隙間なく連続してアクセスしている。

【0008】

【発明が解決しようとする課題】しかしながら従来のメモリ制御装置では、SDRAMをバンク分割モードとし単一のブロックがこのSDRAMにアクセスする場合に、同一のバンク（例えば、バンク0とする）に連続してアクセスするようなメモリアドレスがこの単一のブロックから連続出力されると、バンク0へのアクセスが続いてしまう。このときバンク0に対するプリチャージ動作が終了するまではこのバンク0にアドレスを出力することができない。即ち、SDRAMにアクセスできない無駄なサイクルが生じてしまうという問題がある。

【0009】そこで、単一のブロックがSDRAMにアクセスする場合には、この単一のブロック側で各バンクに交互にアクセスするようにメモリアドレスを生成することで前記の問題を解決することが考えられるが、複数のブロックがSDRAMにアクセスする場合には、各ブロックからのメモリアドレスに相関を持たせることは極めて困難である。したがって、各ブロックからのメモリアドレスに相関がないために、同一バンクに連続してアクセスする可能性が生じる。

【0010】例えば、ブロックAがバンク0にアクセスした直後に、ブロックBがバンク0にアクセスしようとしたとき、同一バンクへのアクセスが続いてしまう。このときバンク0に対するプリチャージ動作が終了するまでは、このバンク0にアドレスを出力することができない。即ち、SDRAMにアクセスできない無駄なサイクルが生じてしまうという問題がある。

【0011】本発明は、SDRAMの同一のバンクに連続してアクセスすることを防止し処理時間を向上させたメモリ制御装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明のメモリ制御装置は、ブロックからのメモリアドレスを、SDRAMの各バンクに交互にアドレスが入力されるようにアドレス変換するよう構成したものである。本発明によると、SDRAMの同一のバンクに連続してアクセスすることを防止し処理時間を向上させたメモリ制御装置を提供できる。

【0013】

【発明の実施の形態】本発明の請求項1に記載の発明は、複数のバンクを有しそれぞれ個別にプリチャージを実行することで各バンクのアドレス入力を交互に隙間なく連続させるバンク分割モードによる連続アクセスが可能なシンクロナスダイナミックランダムアクセスメモリ（以下、SDRAMと略す。）を制御するメモリ制御装置において、前記メモリ制御装置を介して前記SDRAM

Mにアクセスするブロックからのメモリアドレスを、前記SDRAMの各バンクに交互にアドレスが入力されるようにアドレス変換するよう構成したメモリ制御装置としたものであり、SDRAMの同一バンクに連続してアクセスするようなメモリアドレスがブロックから出力されるような場合であっても、ブロックからのメモリアドレスをバンクが交互になるようアドレス変換でき、常にバンクに交互にアクセスすることができ、SDRAMにアクセスできない無駄なサイクルが生じることを解消でき、連続してSDRAMにコマンドを発することができ、処理時間を向上させることができ、メモリアドレスを生成する各ブロックにとってはバンクを意識することなくメモリアドレスを生成することができる。

【0014】本発明の請求項2に記載の発明は、内部が少なくとも2個のバンクに分割されてそれぞれ個別にプリチャージを実行することにより各バンクのアドレス入力を交互に隙間なく連続させることを可能としたバンク分割モードによる連続アクセスとランダムアクセスモードとの切り替えを可能としたシンクロナスダイナミックランダムアクセスメモリ（以下、SDRAMと略す。）を制御するメモリ制御装置において、前記メモリ制御装置を介して前記SDRAMにアクセスする複数のブロックからのメモリアクセス要求の調停を行うアービタと、前記SDRAMへのメモリコマンドを生成するコマンド生成ブロックと、前記アービタによってアクセス権が与えられたブロックからのメモリアドレスを、前記SDRAMの各バンクに交互にアドレスが入力されるようなロウ、カラムアドレスにアドレス変換して前記SDRAMに出力するアドレス変換ブロックと、前記アービタによってアクセス権が与えられたブロックからの書き込みデータまたは前記SDRAMからの読み出しデータを一旦ラッチしてアクセス権が与えられたブロックと前記SDRAM間のデータの受け渡しを行うデータラッチブロックとを設け、前記SDRAMの各バンクが交互になるように各ブロックからのメモリアクセス単位を異なるバンクのペアとして前記SDRAMを制御することを特徴とするメモリ制御装置としたものであり、複数のブロックからのメモリアドレスに相関がない場合であっても、SDRAMの同一のバンクに連続してアクセスすることがなく複数のバンクに交互にアクセスすることができ、バンク分割モードでのメモリアクセスが容易に保証され、連続してメモリにコマンドを発することができるので、処理時間の向上を図ることができる。

【0015】本発明の請求項3に記載の発明は、コマンド生成ブロックを、アクセス権が与えられたブロックからのメモリアクセスが異なるバンクのペアでない場合には、前記ブロックからのメモリアクセスの過不足分のアクセスデータをSDRAMにおいて不許可とするマスク信号を生成出力するよう構成した請求項2記載のメモリ制御装置としたものであり、従来のような複数の信号を

制御することやBurst-Lengthの再設定を不必要とすることができ、バンクのメモリアクセス単位を変更することなく、マスク信号のみで制御するだけで良いので制御を簡略にすることができ、その分回路を簡略化することができる。

【0016】以下、本発明のメモリ制御装置を具体的な実施の形態に基づいて説明する。

(実施の形態1) 図1に示した実施の形態1のメモリ制御装置は、従来例と同様に、2個のバンク0, 1を有しそれぞれ個別にプリチャージを実行することで各バンク0, 1のアドレス入力を交互に隙間なく連続させるバンク分割モードによる連続アクセスが可能なSDRAM2を制御するメモリ制御装置であって、図1に示すように、メモリ制御装置3を介してSDRAM2にアクセスするブロック4, 5からのメモリアドレスを、SDRAM2の各バンクに交互にアドレスが入力されるようにアドレス変換するよう構成した点が従来例とは異なっている。

【0017】このメモリ制御装置3は、図1に示すように、SDRAM2にアクセスする複数のブロック4, 5からのメモリアクセス要求の調停を行うアービタ6と、SDRAM2へのメモリコマンドを生成するコマンド生成ブロック7と、アービタ6によってアクセス権が与えられたブロックからのメモリアドレスをSDRAM2の各バンクに交互にアドレスが入力されるようなロウ、カラムアドレスにアドレス変換してSDRAM2に出力するアドレス変換ブロック8と、アービタ6によってアクセス権が与えられたブロックからの書き込みデータまたはSDRAM2からの読み出しデータを一旦ラッチしてアクセス権が与えられたブロックとSDRAM2との間のデータの受け渡しを行うデータラッチブロック9とで構成されている。

【0018】なお、このブロック4, 5としては、コンピュータや誤り訂正ブロックなどがあり、例えば、ホストコンピュータとマイクロコンピュータ間のデータ転送をSDRAM2を介して実行したり、誤り訂正ブロックで誤ったデータを訂正したりする。ここで、バンク分割モードのSDRAM2にブロック4からのデータをライト(書き込み)する場合のメモリ制御装置3の動作について以下に説明する。

【0019】ここでは、SDRAM2に備えられているモード設定がBurst-Length「2」である場合、即ち、あるアドレスを指定すればそのアドレスに対するデータと次のアドレスに対するデータの計2ワードのデータのアクセスをするよう設定されている場合とする。ブロック4がSDRAM2にアクセスする場合には、メモリ制御装置3を介して、アドレス、データ、制御信号の受け渡しを行う。

【0020】ブロック4は、メモリ制御装置3のアービタ6にライトのリクエスト信号を出力する。アービタ6

は、SDRAM2にアクセスしているブロックが他に存在していなければ、ブロック4に対し許可信号を返信し、このブロック4のリクエスト信号と同時にブロック5もリクエスト信号を出力してきた場合には、優先権の高い方のブロックに対して許可信号を返信する。ここでは仮にブロック4が最も優先権が高く、アービタ6によってブロック4がSDRAM2へのアクセス許可されたものとする。

【0021】このアービタ6は、許可したブロック4から出力されるメモリアドレスを取り込むようアドレス変換ブロック8に指示するとともに、このブロック4から出力されるライトするデータを取り込むようデータラッチブロック9に指示する。また、同時に、RAS (Row Address Strobe), CAS (Column Address Strobe)を始めとするメモリコマンド群を生成するようコマンド生成ブロック7にも指示する。

【0022】ここで、アドレス変換ブロック8でのアドレス変換処理について説明する。アドレス変換ブロック8は、ブロック4からのメモリアドレスを、SDRAM2の各バンク0, 1に交互にアドレスが入力されるようにアドレス変換する。SDRAM2がBurst-Length「2」に設定されているので、ブロック4から出力されるメモリアドレスは図2(a)に示すような2ずつインクリメントされたメモリアドレスが入力される。メモリアドレスのMSBはバンクアドレスであり、このMSBが「0」であればバンク0を「1」であればバンク1を選択することから、図2(a)に示した変換前のメモリアドレスのMSBは全て「0」であるので、このままではSDRAM2のバンク0を連続して選択することになる。

【0023】そこで、図2(a)に示した変換前のメモリアドレスのLSB(最下位ビット)から2ビット目を、図2(b)に示すように変換後のメモリアドレスのMSBとし、図2(a)に示した変換前のメモリアドレスのLSBから3ビット目より上位側を、1ビット下位方向にビットシフトして図2(b)に示すような変換後のメモリアドレスにアドレス変換する。

【0024】図2(b)に示すように変換後のメモリアドレスのMSBは交互に0, 1となっているので、常に各バンク0, 1に交互にアクセスでき、かつ、メモリアドレスを生成する各ブロックにとってはバンクを意識することなくメモリアドレスを生成することができる。このようにしてアドレス変換ブロック8は、前述したようにメモリアドレスをアドレス変換し、図2(b)に示した変換後のメモリアドレスに基づいて生成したロウ、カラムアドレスをSDRAM2に出力する。

【0025】また、データラッチブロック9は、ラッチされたライトデータをそれぞれSDRAM2に出力し、コマンド生成ブロック7は、前記のメモリコマンドをSDRAM2に出力する。ここで、SDRAM2の各バン

クへのアクセスタイミングについて説明する。図3に示すように、クロックCKに従って、バンク0のロウアドレスR00とカラムアドレスC00、バンク1のロウアドレスR10とカラムアドレスC10とが交互に取り込まれる。バンク0のデータD00、D01はバンク1のロウアドレスR10、カラムアドレスC10が入力されるクロックタイミングで出力される。D01はD00に続くアドレスのデータであり、一つのアドレス入力で2ワードのデータが出力できることを意味している。各バンクのプリチャージは最終データ、即ち、この2ワード出力時ではデータD01、D11、D03などの出力タイミングで自動的に実行される。バンク1に関しても同様である。

【0026】このように構成したため、SDRAM2の同一バンクに連続してアクセスするようなメモリアドレスがブロックから出力されるような場合であっても、ブロックからのメモリアドレスをバンクが交互になるようアドレス変換でき、同一のバンクに連続してアクセスすることを防止でき、つまり、常にバンクに交互にアクセスすることができ、SDRAM2にアクセスできない無駄なサイクルが生じることを解消でき、連続してSDRAM2にコマンドを発することができ、処理時間を向上させることができ、かつ、メモリアドレスを生成する各ブロックにとってはバンクを意識することなくメモリアドレスを生成することができる。

【0027】この実施の形態1では、SDRAM2がBurst-Length「2」に設定されている場合を一例として説明したが、例えば、Burst-Length「4」に設定されている場合には、図4(a)に示すように変換前のメモリアドレスのLSBから3ビット目を、図4(b)に示すように変換後のメモリアドレスのMSBとし、図4(a)に示した変換前のメモリアドレスのLSBから4ビット目より上位側を、1ビット下位方向にビットシフトして図4(b)に示すような変換後のメモリアドレスにすれば良い。

【0028】また、Burst-Length「1」に設定されている場合には、図5(a)に示すように変換前のメモリアドレスのLSBを、図5(b)に示すように変換後のメモリアドレスのMSBとし、図5(a)に示した変換前のメモリアドレスのLSBから2ビット目より上位側を、1ビット下位方向にビットシフトして図5(b)に示すような変換後のメモリアドレスにすれば良い。

【0029】(実施の形態2)本発明の実施の形態2のメモリ制御装置は、前述の実施の形態1のメモリ制御装置3に、SDRAM2の各バンク0、1が交互になるように各ブロック4、5からのメモリアクセス単位を異なるバンクのペアとしてSDRAM2を制御する機能を追加した点だけが前述の実施の形態1とは異なっている。

【0030】このメモリ制御装置3は、常にバンクが異なるように各ブロックからのメモリアクセス単位をバン

ク0とバンク1の一つのペアとしてSDRAM2を制御する。例えば、SDRAM2がバンク分割モードでBurst-Length「2」に設定されている場合、図6に示すように、バンク0に2ワードでバンク1にも2ワードでこれらをペアとしてアクセスするよう各ブロック4、5のアクセス単位を4ワード単位としている。

【0031】ここで、このバンク分割モードのSDRAM2に複数のブロック(例えば、ブロック4、5)がアクセスしこれらのブロック4、5からのデータをこのSDRAM2にライト(書き込み)する場合のメモリ制御装置3の動作について説明する。なお、SDRAM2は、Burst-Length「2」のモード設定であるとする。なお、コマンド生成ブロック7とアドレス変換ブロック8とデータラッチブロック9とからそれぞれのデータがSDRAM2に出力されるまでは前述の実施の形態1と同様であるので、ここではその説明を省略する。

【0032】図6に示すように、ブロック4がSDRAM2にアクセスした後に連続してブロック5がSDRAM2にアクセスしたとしても、各ブロック4、5のアクセス単位を、バンク0に2ワードでバンク1にも2ワードでこれらをペアとした4ワード単位でアクセスするので、ブロック4とブロック5との切り替わりにおいても常にバンクが交互になる。

【0033】このように構成したため、複数のブロック4、5がSDRAM2にアクセスし各ブロック4、5のメモリアドレスに相関がない場合であっても、SDRAM2の同一のバンクに連続してアクセスすることを防止でき、つまり、常にバンクに交互にアクセスすることができ、SDRAM2にアクセスできない無駄なサイクルが生じることを解消でき、連続してSDRAM2にコマンドを発することができ、処理時間を向上させることができる。

【0034】(実施の形態3)本発明の実施の形態3のメモリ制御装置3は、前述の実施の形態2のコマンド生成ブロック7を、アクセス権を与えられたブロックからのメモリアクセスが異なるバンクのペアでない場合に、前記ブロックからのメモリアクセスの過不足分のアクセスデータをSDRAM2において不許可とするマスク信号を生成出力する機能を追加して構成した点だけが前述の実施の形態2とは異なっている。

【0035】ここで、図7に示すように、バンク分割モードのSDRAM2に対して、ブロック4がバンク0のみ、ブロック5が各バンク0、1に連続してアクセスし、これらのブロック4、5からのデータをこのSDRAM2にライト(書き込み)する場合のメモリ制御装置3の動作について説明する。なお、SDRAM2は、Burst-Length「2」のモード設定であるとする。

【0036】ブロック4は、前述の実施の形態2でのメモリアクセス単位(4ワード)より少ない単位としての2ワードでアクセスする。メモリ制御装置3は、ランダ

ムなアドレスにアクセスする場合でも、図7(b)に示すようにブロック4が2ワードでアクセスする場合でも、バンク1に対応するメモリコマンド(WRITE)とアドレス(R10、C10)とを発行する。

【0037】コマンド生成ブロック7は、本例のようにライトであれば、ブロック4からのメモリアクセスの不足分のアクセスデータとしてのライトデータ(D10、D11)をSDRAM2において不許可とするマスク信号を生成しSDRAMに出力する。なお、図7(b)に示したライトデータ(D10、D11)は、どのような値のデータであっても構わない。

【0038】SDRAM2は、マスク信号がハイレベルである区間のライトデータ(D10、D11)の書き込みのみを実行しない。このように構成したため、従来では、RAS、CASを始めとするメモリコマンドやアドレスを発行しない、つまり、図7(a)に示すようにブロックAのバンク1に対するメモリコマンド(WRITE)、アドレス(R10、C10)を発行しないように制御しなければならず、メモリコマンドはSDRAM2への複数の信号(/CS、/RAS、/CAS、/WE、アドレス等)の組み合わせで決定されるため、これら全ての信号を制御するか、または、Burst-Lengthの再設定が必要であり、回路が非常に複雑化するという問題があるが、この実施の形態3のメモリ制御装置3では、従来のような複数の信号を制御することやBurst-Lengthの再設定を必要とすることができ、メモリアクセス単位を変更することなく、マスク信号のみで制御するだけで良いので制御を簡略にすることができ、その分回路を簡略化することができる。

【0039】なお、前述の各実施の形態では、ブロックからのデータをSDRAM2にライトする場合について説明しているが、SDRAM2から読み出したデータをブロックに出力する場合であっても、同様の効果を有する。

【0040】

【発明の効果】以上のように本発明のメモリ制御装置によれば、メモリ制御装置を介してSDRAMにアクセスするブロックからのメモリアドレスを、前記SDRAMの各バンクに交互にアドレスが入力されるようにアドレス変換するよう構成したことにより、同一バンクに連続してアクセスするようなメモリアドレスがブロックから出力されるような場合であっても、ブロックからのメモリアドレスをバンクが交互になるようアドレス変換でき、常にバンクに交互にアクセスすることができ、SDRAMにアクセスできない無駄なサイクルが生じることを解消でき、連続してSDRAMにコマンドを発することができ、処理時間を向上させることができ、メモリアドレスを生成する各ブロックにとってはバンクを意識することなくメモリアドレスを生成することができる。

【0041】また、SDRAMにアクセスする複数のブ

ロックからのメモリアクセス要求の調停を行うアービタと、前記SDRAMへのメモリコマンドを生成するコマンド生成ブロックと、前記アービタによってアクセス権が与えられたブロックからのメモリアドレスを、前記SDRAMの各バンクに交互にアドレスが入力されるようなロウ、カラムアドレスにアドレス変換して前記SDRAMに出力するアドレス変換ブロックと、前記アービタによってアクセス権が与えられたブロックからの書き込みデータまたは前記SDRAMからの読み出しデータを一旦ラッチしてアクセス権が与えられたブロックと前記SDRAM間のデータの受け渡しを行うデータラッチブロックとを設け、前記SDRAMの各バンクが交互になるように各ブロックからのメモリアクセス単位を異なるバンクのペアとして前記SDRAMを制御するようメモリ制御装置を構成した場合では、複数のブロックからのメモリアドレスに相関がない場合であっても、同一のバンクに連続してアクセスすることができ、バンク分割モードでのメモリアクセスが容易に保証され、連続してメモリにコマンドを発することができるので、処理時間の向上を図ることができる。

【0042】また、前記のメモリ制御装置のコマンド生成ブロックを、アクセス権が与えられたブロックからのメモリアクセスが異なるバンクのペアでない場合には、前記ブロックからのメモリアクセスの過不足分のアクセスデータをSDRAMにおいて不許可とするマスク信号を生成出力するよう構成した場合では、従来のような複数の信号を制御することやBurst-Lengthの再設定を必要とすることができ、バンクのメモリアクセス単位を変更することなく、マスク信号のみで制御するだけで良いので制御を簡略にすることができ、その分回路を簡略化することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1のメモリ制御装置の構成を示すブロック図

【図2】同実施の形態1のアドレス変換ブロックでのアドレス変換を示す説明図

【図3】同実施の形態1の各バンクへのアクセスタイミングを示すタイミング図

【図4】実施の形態1とは別のアドレス変換例を示す説明図

【図5】実施の形態1とは別のアドレス変換例を示す説明図

【図6】本発明の実施の形態2の各ブロックのメモリアクセス単位を示すタイミング図

【図7】本発明の実施の形態3のメモリアクセス単位が異なる場合を示すタイミング図

【図8】従来のメモリ制御装置の構成を示すブロック図

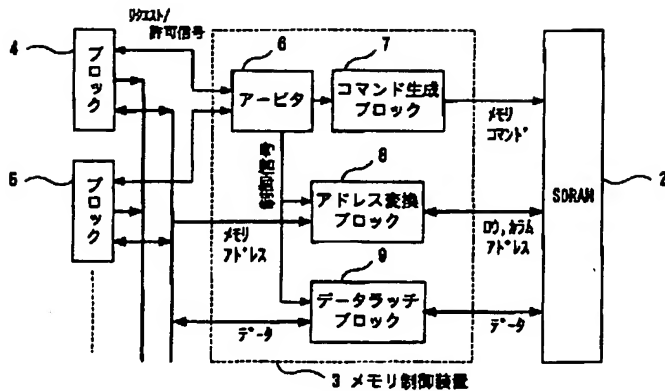
【図9】従来のメモリ制御装置の各バンクへのアクセスタイミングを示すタイミング図

【符号の説明】

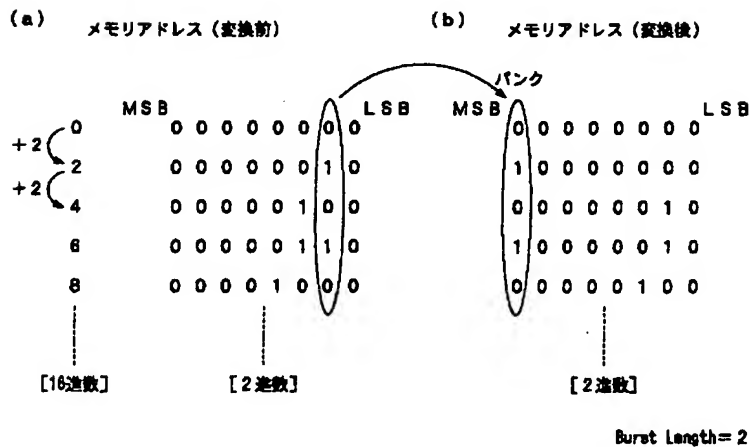
- 2 SDRAM
3 メモリ制御装置
4, 5 ブロック

- | | |
|---|------------|
| 6 | アービタ |
| 7 | コマンド生成ブロック |
| 8 | アドレス変換ブロック |
| 9 | データラッチブロック |

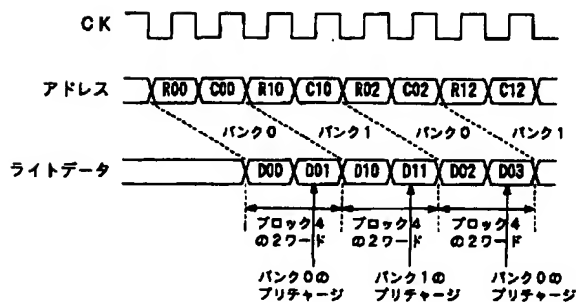
【図1】



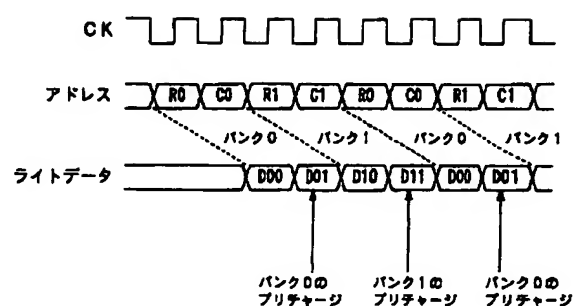
【図2】



【図3】



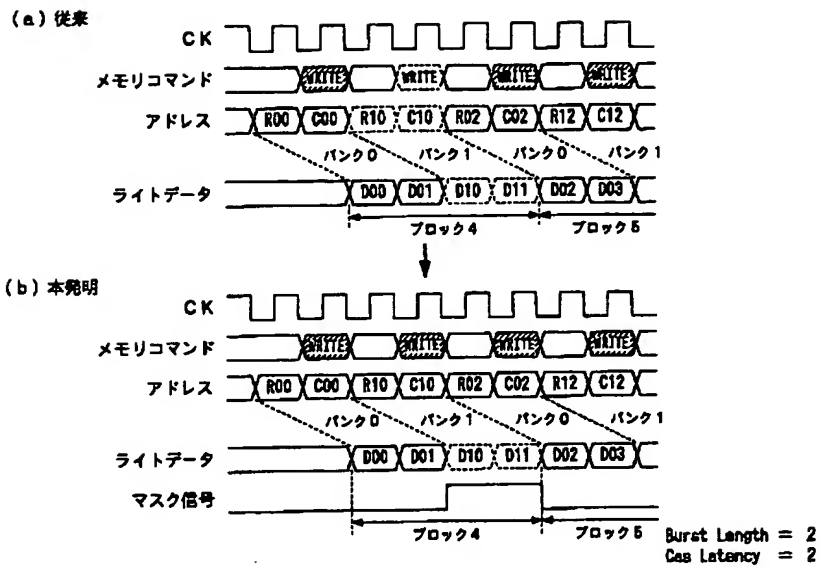
【図9】



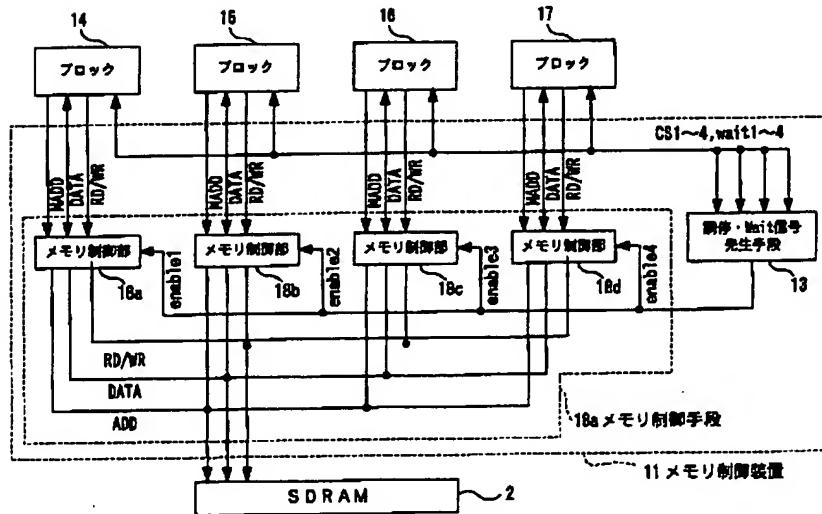
Burst Length = 2
 Cas Latency = 2

Burst Length = 2
 Gas Latency = 2

【図7】



【図8】



THIS PAGE BLANK (USPTO)